

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-187248

(43)Date of publication of application : 04.07.2000

(51)Int.Cl.

G02F 1/136

G02F 1/1339

(21)Application number : 11-148414

(71)Applicant : TOSHIBA ELECTRONIC  
ENGINEERING CORP  
TOSHIBA CORP

(22)Date of filing : 27.05.1999

(72)Inventor : IIZUKA TETSUYA  
NAKAMURA TAKAFUMI  
HANAZAWA YASUYUKI  
KAGA AKIHIRO

(30)Priority

Priority number : 10198721  
10290265Priority date : 14.07.1998  
13.10.1998

Priority country : JP

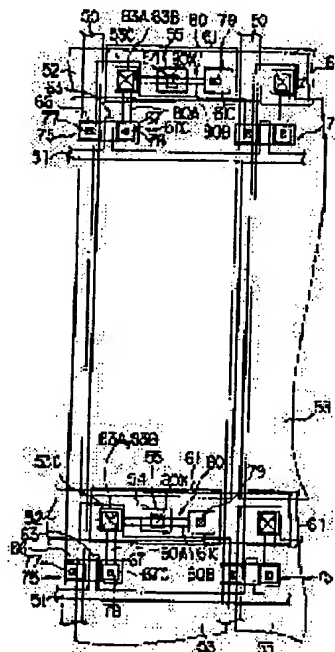
JP

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an active matrix type liquid crystal display device, capable of improving the short-circuit failure between electrodes forming an auxiliary capacitance, without lowering display quality even while using wired BM(block matrix) structure.

**SOLUTION:** A linkage wiring 80 connecting the source electrode 67 of a TFT(thin-film transistor) 7, a pixel electrode 53 and an auxiliary capacitance 61 electrode 61 each other includes a wiring part 80X, which is not overlapped with both of an auxiliary capacitance line 52 forming an auxiliary capacitance and the auxiliary capacitance electrode 61. That is, since the wiring part 80X is exposed, when seen from the back side of an array substrate, when a short-circuit failure is generated between the auxiliary capacitance line 52 and the linkage wiring 80 or the auxiliary capacitance electrode 61, it is possible to improve a pixel, in which the short-circuit failure is generated to a half-lit state by cutting this wiring part 80X by irradiating it with a laser beam.



## LEGAL STATUS

[Date of request for examination]

02.07.1999

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3076030

[Date of registration] 09.06.2000

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



## 【特許請求の範囲】

【請求項1】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、

液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、

を備えたアクティブマトリクス型液晶表示装置において、

前記第2連結配線は、前記補助容量信号線から露出する部分を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】前記補助容量信号線は、前記第2連結配線を露出する開口部を有することを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】前記補助容量電極は、前記第2連結配線を露出する開口部を有することを特徴とする請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】前記開口部を遮蔽するように、前記アレイ基板と前記対向基板との間に配置された遮光部材を有していることを特徴とする請求項3に記載のアクティブマトリクス型液晶表示装置。

【請求項5】前記補助容量信号線は、前記画素電極と前記第1連結配線との接続部に重なる部分を有していることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項6】前記補助容量信号線は、前記画素電極と前記第1連結配線との接続部を露出する開口部を有していることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項7】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、

前記スイッチング素子は、半導体層を有し、前記半導体層中に形成されたチャネル領域から、前記第1連結配線及び第2連結配線との接続部までの間の半導体層の一部

が、他の配線から露出する部分を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項8】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、

液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、

を備えたアクティブマトリクス型液晶表示装置において、

前記補助容量信号線は、前記補助容量電極と重なって補助容量を形成する部分と、他の配線から露出する部分とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項9】前記走査線と前記信号線とによって区画された一画素は、複数の補助容量電極、及びこれらの補助容量電極に絶縁層を介して対向配置された複数の補助容量信号線を有していることを特徴とする請求項8に記載のアクティブマトリクス型液晶表示装置。

【請求項10】一対の前記補助容量電極及び前記補助容量信号線によって形成される補助容量は、前記補助容量信号線を挟んで互いに隣接する2つの画素で共用されることを特徴とする請求項9に記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリクス型液晶表示装置に係り、特に、ポリシリコンなどの半導体層を用いた薄膜トランジスタをスイッチング素子として備えたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、高密度かつ大容量でありながら、高機能、高精細な表示が得られる液晶表示装置の実用化が進められている。

【0003】この液晶表示装置には、各種方式があるが、中でも薄膜トランジスタすなわちTFTをスイッチング素子とした画素電極がマトリクス状に設けられたアレイ基板を備えるアクティブマトリクス型液晶表示装置が注目されている。このアクティブマトリクス型液晶表示装置は、隣接画素間のクロストークが小さく、高コントラストの表示が得られ、透過型表示が可能であり、かつ大面積化も容易などの利点を有している。

【0004】このアクティブマトリクス型液晶表示装置に適用されるアレイ基板は、絶縁基板上に互いに交差す

る方向に複数本の走査線と複数本の信号線とを備えている。また、アレイ基板は、これらの走査線と信号線との交差部にTFTを備え、さらに、走査線と信号線とにより区画された複数の領域すなわち画素領域に配置された画素電極を有している。

【0005】このようなアクティブマトリクス型液晶表示装置は、画素領域間の光漏れを防ぐ目的でブラックマトリクスすなわちBMを備えている。このブラックマトリクスは、一般に、カラーフィルタ用の着色層とともに、液晶層を介してアレイ基板に対向配置される対向基板に配置される。このため、アレイ基板と対向基板との合わせずれを考慮する必要があり、合わせずれが発生した場合には、光を透過する開口部分の割合すなわち開口率が低下する。

【0006】こうした問題点を解決するため、近年、アレイ基板上に設けられた走査線や信号線などの配線部の上に、遮光性の有機絶縁膜を設けてブラックマトリクスとして利用する配線BM構造が提案されている。この配線BM構造では、画素電極が画素領域の最上層に設けられ、かつ画素電極の端部がマトリクス状に設けられた配線部に重ねられている。また、有機絶縁膜の代わりに、従来対向基板に形成されていたカラーフィルタの着色層を配線部の上に設けてブラックマトリクスとして利用する配線BM構造も提案されている。これらの配線BM構造では、アレイ基板と対向基板との合わせずれによる開口率低下が無い場合、高開口率を実現できる。

【0007】

【発明が解決しようとする課題】しかしながら、このような配線BM構造は、以下に述べるような欠点を有している。

【0008】すなわち、有機絶縁膜や着色層を挟んで配線部と画素電極とを重ね合わせる構造は、信号線と画素電極とを所定距離の間隔を置いて同一層に配置して対向基板に配置したブラックマトリクスで開口部を規定する構造と比較して、異なる層に配置された信号線と画素電極との寄生容量が大きくなる。このため、液晶表示装置に表示される表示画面の表示品位が影響を受けやすくなる。これを避けるためには、すべての画素領域である一定量の補助容量を形成する必要がある。

【0009】アクティブマトリクス型液晶表示装置においては、TFTに電気的に接続された画素電極が数十万画素から百万画素以上マトリクス状に配列されている。このため、全てのアレイ基板の全画素領域を無欠陥に製造することは非常に困難であり、ある割合で画素欠陥が生じる。この画素欠陥の原因は、様々であるが、補助容量を形成する電極間の短絡による不良が、画素欠陥不良の多くを占めることが、不良解析により明らかとなっている。このような不良が発生すると、その画素は、ある電位に固定されるため、常時点灯の画素欠陥となる。さらには、対向電極との間に直流電圧が印加され続けるた

めに、画素領域に対応した液晶層に含まれる液晶組成物が劣化することになり、信頼性上も問題である。

【0010】このような画素欠陥を修復する一つの方法として、短絡不良を生じた補助容量電極にレーザービームを照射して切断し、画素電極から電気的に切り離す手法が知られている。この場合、修復された画素は、信号線と画素電極との間の寄生容量の影響を受けるものの、半点灯状態に改善される。

【0011】しかしながら、上述した配線BM構造においては、配線部と画素電極とが重なるため、レーザービームで配線部の一部を切断しようとする、新たな短絡不良が発生するといった問題が発生する。これを避けるために、画素電極に重ならないように、あらかじめ切断用の配線部を形成すると、この配線部を光が透過し、コントラスト比が低下するという問題が生じる。

【0012】この発明の目的は、上述した問題点に鑑みなされたものであって、コントラストの低下を招くことなく、表示不良を改善できるアクティブマトリクス型液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決し目的を達成するために、請求項1に記載のアクティブマトリクス型液晶表示装置は、互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電気的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電気的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電気的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、前記第2連結配線は、前記補助容量信号線から露出する部分を有することを特徴とする。

【0014】請求項7に記載のアクティブマトリクス型液晶表示装置は、互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電気的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電気的に接続された画素電極と、前記スイッチング素子に第2連結配線を介して電気的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、前記スイッチング素子は、半導体層を有し、前記半導体層中に形成されたチャネル領域から、前記第1連結配線及び第2連結配線との接続部までの間の半導体層の一部が、他の配線から露出する部分を

有することを特徴とする。

【0015】請求項9に記載のアクティブマトリクス型液晶表示装置は、互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、前記補助容量信号線は、前記補助容量電極と重なって補助容量を形成する部分と、他の配線から露出する部分とを有することを特徴とする。

【0016】

【発明の実施の形態】以下、この発明のアクティブマトリクス型液晶表示装置の実施の形態について図面を参照して説明する。

【0017】図1は、この発明の第1の実施の形態に係るアクティブマトリクス型液晶表示装置の1画素領域を概略的に示す平面図であり、図2は、図1に示したアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。図3は、図2中の一点鎖線A-B-C-Dに沿って切断した断面を概略的に示す断面図である。

【0018】図1乃至図3に示すように、アレイ基板86の1画素領域内において、信号線50は、層間絶縁膜76を介して、走査線51及び第1電極配線としての補助容量線52に対して直交するように配置されている。補助容量線52は、走査線51と同一の層に設けられているとともに、走査線51に対して平行に形成されている。信号線50及び補助容量線52によって区画された領域は、1画素領域に相当する。補助容量線52の一部は、ゲート絶縁膜62を介してポリシリコン膜によって形成された第2電極配線としての補助容量電極61に対向配置され、補助容量線52と補助容量電極61との間で補助容量を形成している。

【0019】画素電極53は、信号線50及び補助容量線52の上にその周縁部を重ねるように配置されている。スイッチング素子として機能する薄膜トランジスタすなわちTFT75は、信号線50と走査線51の交点近傍に配置されている。このTFT75は、Nチャネル型Lightly Doped Drain、すなわちNch型LDD構造の素子を利用している。

【0020】TFT75は、ポリシリコン膜によって形成されたドレイン電極66及びソース電極67を有し、ゲート絶縁膜62を介して配置された走査線51の一部をゲート電極63とする。ドレイン電極66は、コンタ

クトホール77を介して、信号線50に電氣的に接続されている。TFT75のソース電極67、画素電極53、および、補助容量電極61は、一連の連結配線80によって電氣的に接続されている。

【0021】すなわち、ソース電極67は、コンタクトホール78を介して第1コンタクト電極67Cに電氣的に接続されている。画素電極53は、コンタクトホール83A、83Bを介して第2コンタクト電極53Cに電氣的に接続されている。補助容量電極61は、コンタクトホール79を介して第3コンタクト電極61Cに電氣的に接続されている。

【0022】第1コンタクト電極67Cと第2コンタクト電極53Cとは、連結配線80の第1連結部80Aによって電氣的に接続されている。これにより、第1連結部80Aは、ソース電極67と画素電極53とを電氣的に連結する。

【0023】第2コンタクト電極53Cと第3コンタクト電極61Cとは、連結配線80の第2連結部80Bによって電氣的に接続されている。これにより、第2連結部80Bは、画素電極53と補助容量電極61とを電氣的に連結する。この第2連結部80Bは、第1連結部80Aに連続して形成されている。

【0024】第2連結部80Bの少なくとも一部は、補助容量線52及び補助容量電極61に重ならない配線部80Xを含んでいる。すなわち、この第1の実施の形態では、図1乃至図3に示したように、補助容量線52及び補助容量電極61は、配線部80Xに重なる所定の領域に開口部54A及び54Bを有している。これにより、図3に示すように、アレイ基板86の裏面側から見て、配線部80Xは、これらの開口部54(A、B)を介して補助容量線52及び補助容量電極61から露出することになる。アレイ基板86と対向基板92との間を所定の間隔に維持する柱状スペーサ55は、補助容量線52及び補助容量電極61の開口部54に対応するように設けられ、光漏れによるコントラスト比の低下を防いでいる。

【0025】このような構造とすることにより、第3コンタクト電極61Cに近い第2連結部80Bと補助容量線52との間、あるいは、補助容量線52と補助容量電極61との間で短絡が生じた場合には、他の駆動配線から露出している配線部80Xに向けてレーザビームを照射して切断する。このように、連結配線80の配線部80Xを切断することにより、走査線や信号線などの他の駆動配線にダメージを与えることなく、短絡を修復することが可能となる。

【0026】次に、図1乃至図3を参照して、上述した構造の第1の実施の形態に係るアクティブマトリクス型液晶表示装置の製造方法について説明する。

【0027】まず、高歪点ガラス基板や石英基板などの透明な絶縁性の基板60上に、CVD法などによりアモ

ルファスシリコン膜すなわち $a-Si$ 膜を50nm程度被着する。そして、450°Cで1時間、アニールを行った後、エキシマレーザビームを照射し、 $a-Si$ 膜を多結晶化する。その後に、多結晶化されたシリコン膜すなわちポリシリコン膜を、フォトリソ法によりパターンニングして、表示領域における各画素領域にそれぞれ設けられるTFTすなわち画素TFT75のチャンネル層、及び駆動回路領域に設けられるTFTすなわち回路TFT69、72のチャンネル層を形成するとともに、補助容量を形成するための補助容量電極61を開口部54とともに形成する。

【0028】続いて、CVD法により、基板60の全面にシリコン酸化膜すなわち $SiO_x$ 膜を100nm程度被着して、ゲート絶縁膜62を形成する。

【0029】続いて、ゲート絶縁膜62上の全面にタンタル(Ta)、クロム(Cr)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、銅(Cu)などの単体、または、これらの積層膜、あるいは、これらの合金膜を400nm程度被着し、フォトリソ法により所定の形状にパターンニングする。これにより、走査線51、ゲート絶縁膜62を介して補助容量電極61に対向する補助容量線52、走査線51を延在してなる画素TFT75のゲート電極63、回路TFT69、72のゲート電極64、65、および、駆動回路領域内の各種配線を形成する。この時、補助容量線52についても、補助容量電極61と同様に、開口部54を形成する。

【0030】続いて、これらのゲート電極63、64、65をマスクとして、イオン注入法やイオンドーピング法により不純物を注入する。これにより、画素TFT75のドレイン電極66及びソース電極67、補助容量電極61のコンタクト領域68、及びNch型の回路TFT69のソース電極70及びドレイン電極71を形成する。この実施の形態では、例えば加速電圧80keVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で、PH3/H2の条件でリンを高濃度注入した。

【0031】続いて、画素TFT75、駆動回路領域のNch型の回路TFT69に、不純物が注入されないようにレジストで被覆した後、Pch型の回路TFT72のゲート電極64をマスクとして、不純物を注入する。これにより、Pch型の回路TFT72のソース電極73及びドレイン電極74を形成する。この実施の形態では、加速電圧80keVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量で、B2H6/H2の条件でボロンを高濃度注入した。

【0032】続いて、画素TFT75及び回路TFT69にNch型LDD領域を形成するために、不純物を注入し、基板全体をアニールすることにより不純物を活性化する。

【0033】続いて、基板60の全面に二酸化シリコン

膜すなわち $SiO_2$ を500nm程度被着し、層間絶縁膜76を形成する。

【0034】続いて、ゲート絶縁膜62及び層間絶縁膜76に、フォトリソ法により、画素TFT75のドレイン電極66に至るコンタクトホール77及びソース電極67に至るコンタクトホール78と、補助容量電極61のコンタクト領域68に至るコンタクトホール79と、回路TFT69、72のソース電極70、73及びドレイン電極71、74に至るコンタクトホールとを形成する。

【0035】次に、Ta、Cr、Al、Mo、W、Cuなどの単体、または、これらの積層膜、あるいは、これらの合金膜を500nm程度被着し、フォトリソ法により所定の形状にパターンニングする。

【0036】これにより、信号線50を形成するとともに、画素TFT75のドレイン電極66と信号線50とを電気的に接続する。また、同時に、画素TFT75のソース電極67に電気的に接続された第1コンタクト電極67C、後に形成される画素電極53に電気的に接続される第2コンタクト電極53C、および、補助容量電極61に電気的に接続された第3コンタクト電極61Cを形成する。さらに、同時に、第1コンタクト電極67Cと第2コンタクト電極53Cとを電気的に接続する第1連結部80A、および、第2コンタクト電極53Cと第3コンタクト電極61Cとを電気的に接続する第2連結部80Bを形成し、連結配線80を形成する。またさらに、同時に、駆動回路領域内の回路TFT69、72の各種配線を形成する。

【0037】第1コンタクト電極67C、第1連結部80A、第2コンタクト電極53C、第2連結部80B、及び第2コンタクト電極61Cは、すべて一体に形成され、連結配線80を構成している。

【0038】続いて、基板60の全面にシリコン窒化膜すなわち $SiN_x$ を成膜し、保護絶縁膜82を形成する。そして、この保護絶縁膜82に、フォトリソ法により、第2コンタクト電極53Cに至るコンタクトホール83Aを形成する。

【0039】続いて、例えば赤、青、緑のそれぞれの顔料を分散させた着色層84R、84G、84Bを各画素領域毎に2 $\mu\text{m}$ 程度の厚さに形成する。そして、後述する画素電極53から第2コンタクト電極53Cに至るコンタクトホール83Bを形成する。

【0040】続いて、透明導電性部材、例えばインジウム・テングステン・オキサイドすなわちITOをスパッタ法により、全面に100nm程度の厚さで成膜し、フォトリソ法により所定の形状にパターンニングする。これにより、画素電極53を形成するとともに、画素電極53と第2コンタクト電極53Cとを電気的に接続し、連結配線80の第1配線部80Aを介して画素TFT75のソース電極67と画素電極53とを電気的に接続す

る。

【0041】最後に、例えば黒色の顔料を分散させた有機絶縁膜層を全面に約5 $\mu$ mの厚さで塗布し、フォトリソ法により、開口部54を塞ぐように、柱状スペーサ55を形成する。

【0042】以上のような工程を経て、アクティブマトリクス型液晶表示装置のアレイ基板86が得られる。

【0043】一方、透明な絶縁性基板として例えばガラス基板90上に、スパッタ法により例えばITOを成膜し、パターニングすることにより対向電極91を形成する。

【0044】このような工程を経て、アクティブマトリクス型液晶表示装置の対向基板92が得られる。

【0045】続いて、アレイ基板86の画素電極53側と、対向基板92の対向電極91側の全面に低音キュア型のポリイミドを印刷塗布し、両基板86、92を対向させた時に、互いの配向軸が90°となるようにラビング処理を施すことにより、配向膜85、93を形成する。

【0046】続いて、両基板86、92を対向して組み立て、セル化し、その間隙に注入口からネマティック液晶100を注入し封止する。そして、両基板86、92の絶縁基板60、90上に偏向板を貼り付けることにより、アクティブマトリクス型液晶表示装置が得られる。

【0047】このようにして構成されたアレイ基板86においては、画素TFT75のソース電極67と画素電極53との間は、連結配線80の第1連結部80Aによって連結され、画素電極53と補助容量電極61との間は、連結配線80の第2連結部80Bによって連結される。このように、ソース電極67、画素電極53、及び補助容量電極61は、互いに独立した連結部によって電気的に接続されている。

【0048】また、画素電極53と補助容量電極61との間を連結する第2連結部80Bの少なくとも一部は、他の導電膜が存在せず、且つ遮光性の膜が存在しない領域54を配線されている。すなわち、第2連結部80Bの少なくとも一部は、遮光性を有し導電膜として機能する補助容量線52及び補助容量電極61に重ならないように、補助容量線52及び補助容量電極61に共通に形成された開口部54上を通過するように配線されている。これにより、第2連結部80Bの少なくとも一部は、アレイ基板86の裏面側から見て、露出している。

【0049】このため、補助容量を形成する補助容量線52と補助容量電極61との間で短絡不良が生じた際、アレイ基板86の裏面側からレーザービームを照射して、露出している第2連結部80Bの一部を電気的に切断することにより、画素欠陥不良を半点灯状態に改善することができるため、歩留まりが改善される。

【0050】また、この時、切断部分の上層及び下層に

は、導電膜が無い場合、他の電極と新たな短絡不良を生じることが無い。

【0051】さらに、アレイ基板86における対向基板92側の開口部54に対応する位置には、遮光性の柱状スペーサを配置しているため、コントラスト低下による表示品位の劣化を防止することが可能となる。

【0052】これにより、配線BM構造において、表示品位の低下を伴うことなく、補助容量を形成している電極間の短絡を修復することが可能となる。

【0053】なお、上述した第1の実施の形態では、補助容量線52及び補助容量電極61に形成された開口部54を塞ぐように柱状スペーサ55を重ねて配置したが、自画素以外の着色層84R上に他の二色の着色層84G及び84Bを重ねても、開口部54を遮光することが可能である。この場合、三色の着色層を重ねた着色層積層体の高さは、柱状スペーサ55よりも低くなる。このため、柱状スペーサ55と着色層積層体とを組み合わせ配置すれば、着色層積層体はスペーサとしては機能せず、単なる遮光部となる。これらの構造を組み合わせることにより、表示領域内のスペーサ密度を自在に調整することができる。

【0054】また、この第1の実施の形態では、着色層84(R、G、B)をアレイ基板上に配置した場合について説明をしたが、有機絶縁膜を用いた場合においても同様の効果が得られる。

【0055】次に、この発明の第2の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0056】図4は、この発明の第2の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。なお、ここでは、第1の実施の形態と同一の構成については、同一の参照番号を付して詳細な説明を省略する。

【0057】すなわち、図4に示すように、TFT75のソース電極67に電気的に接続された第1コンタクト電極67Cと、画素電極53に電気的に接続された第2コンタクト電極53Cとは、連結配線80の第1連結部80Aによって電気的に接続されている。また、第2コンタクト電極53Cと、補助容量電極61に電気的に接続された第3コンタクト電極61Cとは、連結配線80の第2連結部80Cによって電気的に接続されている。

【0058】第2連結部80Cの少なくとも一部は、補助容量線52及び補助容量電極61に重ならない配線部80Xを含んでいる。すなわち、この第2の実施の形態では、第2連結部80Cの配線部80Xは、アレイ基板面内において、補助容量線52及び補助容量電極61に重ならないような位置を迂回して配線されている。この配線部80Xの下層には、透明なゲート絶縁膜62及び透明な層間絶縁膜76が配置されているとともに、配線部80Xの上層には、透明な画素電極53が配置されて

いる。

【0059】これにより、アレイ基板をセル化した際に、配線部80Xは、アレイ基板86の裏面側から見て、露出することになる。また、配線部80Xが画素領域内を配線されることにより、第1の実施の形態で説明したような遮光性の柱状スペーサを設ける必要がなくなる。

【0060】このような構造とすることにより、第3コンタクト電極61Cに近い第2連結部80Bと補助容量線52との間、あるいは、補助容量線52と補助容量電極61との間で短絡が生じた場合には、アレイ基板86の裏面側から見て露出している配線部80Xに向けてレーザービームを照射して切断する。このように、連結配線80の配線部80Xを切断することにより、短絡を修復することが可能となる。

【0061】また、柱状スペーサを形成する必要がなくなるため、製造コストを低減することができる。

【0062】次に、この発明の第3の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0063】図5は、この発明の第3の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。なお、ここでは、第1の実施の形態と同一の構成については、同一の参照番号を付して詳細な説明を省略する。

【0064】すなわち、図5に示すように、TFT75のソース電極67に電気的に接続された第1コンタクト電極67Cと、画素電極53に電気的に接続された第2コンタクト電極53Cとは、連結配線80の第1連結部80Aによって電気的に接続されている。また、第1コンタクト電極67Cと、補助容量電極61に電気的に接続された第3コンタクト電極61Cとは、連結配線80の第2連結部80Dによって電気的に接続されている。

【0065】第2連結部80Dの少なくとも一部は、補助容量線52及び補助容量電極61に重ならない配線部80Xを含んでいる。すなわち、この第3の実施の形態では、第2連結部80Dの配線部80Xは、アレイ基板面内において、補助容量線52及び補助容量電極61に重ならないような位置を迂回して配線するために、第1コンタクト電極67Cと第3コンタクト電極61Cとを電気的に接続するように配線している。この配線部80Xの下層には、透明なゲート絶縁膜62及び透明な層間絶縁膜76が配置されているとともに、配線部80Xの上層には、透明な画素電極53が配置されている。

【0066】これにより、アレイ基板をセル化した際に、配線部80Xは、アレイ基板86の裏面側から見て、露出することになる。また、配線部80Xが画素領域内を配線されることにより、第1の実施の形態で説明したような遮光性の柱状スペーサを設ける必要がなくなる。

【0067】このような構造とすることにより、第2の実施の形態と同様の効果が得られる。

【0068】上述したように、この発明の第1乃至第3の実施の形態に係るアクティブマトリクス型液晶表示装置によれば、TFT75のソース電極67、画素電極53、及び補助容量電極61を互いに連結する連結配線80は、補助容量を形成する補助容量線52及び補助容量電極61とともに重ならない配線部80Xを含んでいる。すなわち、この配線部80Xは、アレイ基板の裏面側から見て露出しているため、補助容量線52と連結配線80、もしくは補助容量電極との間で短絡不良が生じた際に、この配線部80Xにレーザービームを照射して電気的に切断することにより、短絡不良が生じた画素を半点灯状態まで改善することが可能となる。したがって、表示品位の低下を伴うことなく、短絡不良を修復することが可能なアクティブマトリクス型液晶表示装置を実現することができる。

【0069】次に、この発明の第4の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0070】図6は、この発明の第4の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図であり、図7は、図6中の一点鎖線A-B-Cに沿って切断した断面を概略的に示す断面図である。なお、ここでは、第3の実施の形態と同一の構成については、同一の参照番号を付して詳細な説明を省略する。

【0071】上述したように、画素電極53をカラーフィルタ84などの絶縁層上に形成する構造の場合、画素電極53とTFT75との間の絶縁層が比較的厚いため、絶縁総にコンタクトホールを形成する際に、エッチング不良を起こしやすくなる。このエッチング不良により、画素電極53と第2コンタクト電極53Cとの接続不良が発生し、TFT75からの信号が画素電極53に伝わらなくなる。このため、その画素は、ある電位に固定されるため、常時点灯の画素欠陥となる。

【0072】このような画素欠陥を正常化するために、接続不良部にレーザービームを照射して、画素電極53の一部及び第2コンタクト電極53Cの一部を熔融し、両者をショートさせる方法がある。

【0073】しかしながら、上述したような構造の場合、第2コンタクト電極53Cの下層に補助容量線52及び補助容量電極61が配置されているため、アレイ基板86の裏面側から見て、第2コンタクト電極53Cが露出していない。このため、アレイ基板86の裏面側からレーザービームを照射することが困難である。

【0074】そこで、この第4の実施の形態に係るアクティブマトリクス型液晶表示装置では、図6及び図7に示すように、第2コンタクト電極53Cが他の配線から露出するように構成されている。

【0075】すなわち、第2コンタクト電極53Cの下層に位置する補助容量電極61及び補助容量線52は、第2コンタクト電極に重複する領域に、レーザビーム透過用の開口部61H、52Hを有している。開口部61Hは、補助容量電極61の一部をエッチング加工によって取り除くことにより形成される。この開口部61Hは、例えば、コンタクトホール83A及び83Bの重心にほぼ等しい重心を持つ $8 \times 8 \mu\text{m}$ の正方形に形成される。開口部52Hは、補助容量線52の一部をエッチング加工によって取り除くことにより形成される。この開口部52Hは、例えば、コンタクトホール83A及び83Bの重心にほぼ等しい重心を持つ $6 \times 6 \mu\text{m}$ の正方形に形成される。

【0076】このように構成することにより、ゲート絶縁膜62及び層間絶縁膜76が透明であるため、第2コンタクト電極53Cが他の駆動配線から露出する。

【0077】このような構造のアレイ基板において、画素電極53と第2コンタクト電極53Cとの接続不良が発生した場合には、アレイ基板86の裏側から、補助容量電極61及び補助容量線52のそれぞれに形成した開口部61H及び52Hを介して、エネルギー約2mJ、波長532nmのレーザビームを第2コンタクト電極53Cに照射する。これにより、第2コンタクト電極53C及び画素電極53の一部が熔融する。

【0078】熔融した第2コンタクト電極53Cの一部は、コンタクトホール83A及び83Bを通過して画素電極53とショートする。すなわち、第2コンタクト電極53Cと画素電極53とを電気的に接続することが可能となる。これにより、走査線や信号線などの他の駆動配線にダメージを与えることなく、画素電極53と第2コンタクト電極53Cとの接続不良を改善することが可能となる。

【0079】上述したように、この発明の第4の実施の形態に係るアクティブマトリクス型液晶表示装置によれば、補助容量線52及び補助容量電極61は、画素電極53とTFT75とを電気的に接続する第2コンタクト電極53Cに重複する領域の一部にレーザビームを透過可能とする開口部を有している。このため、第2コンタクト電極53Cで接続不良が発生した場合であっても、アレイ基板86の裏側からレーザビームを照射して絶縁層を消失させるとともに、画素電極及び第2コンタクト電極の一部を熔融させて両者をショートさせることが可能となる。

【0080】したがって、表示不良が発生した画素欠陥を正常化し、製造歩留まりを向上させることができる。

【0081】次に、この発明の第5の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0082】図8は、この発明の第5の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含

む領域を拡大した拡大平面図であり、図9は、図8中の一点鎖線A-B-C-Dに沿って切断した断面を概略的に示す断面図である。なお、ここでは、第3の実施の形態と同一の構成については、同一の参照番号を付して詳細な説明を省略する。

【0083】上述した画素電極53をカラーフィルタ84などの絶縁層上に形成する構造は、信号線を挟んで信号線と同一層に画素電極を配置する構造と比較して、隣接する画素電極間の距離を小さくすることが可能であり、開口率の向上を見込むことができる。しかしながら、隣接する画素電極間の距離が短いため、画素電極形成時のエッチング不良により、画素電極同士がショートを起こしやすくなる。また、小さな金属ゴミでも、画素電極同士のショートが起こりやすくなる。このため、ショートした隣接画素は、ある電位に固定されるため、常時点灯の画素欠陥となる。

【0084】このような画素欠陥を正常化するために、ショート部にレーザビームを照射して、ショート部を切断する方法が考えられるが、ショート部を特定することが困難である。

【0085】そこで、この第5の実施の形態に係るアクティブマトリクス型液晶表示装置では、図8及び図9に示すように、ドレイン電極66及びソース電極67の一部をなすポリシリコン膜Pが、信号線50とのコンタクトから、画素電極53とのコンタクトの間に、他の金属配線に重ならない領域を有するように構成されている。

【0086】すなわち、TFT75は、走査線51の一部をゲート電極とし63、ポリシリコン膜Pが信号線50にコンタクトする領域に形成されたドレイン電極66と、ポリシリコン膜Pが画素電極53に電気的に接続される連結配線80にコンタクトする領域、すなわち第2コンタクト電極67Cに形成されたソース電極67と、を有している。ポリシリコン膜Pは、図8に示すように、ゲート電極63を迂回するように配置されている。

【0087】このようにポリシリコン膜Pを引き回すことにより、図9に示すように、ポリシリコン膜Pの一部PAは、他の金属配線に重なることなく露出する。

【0088】このような構造のアレイ基板において、例えば、4Vの電位差で液晶を駆動する場合、黒を表示するために、第1列の画素電極に印加される電圧は、第1フレームで9V、第2フレームで1Vであり、第2列の画素電極に印加される電圧は、第1フレームで1V、第2フレームで9Vである。この時、対向電極に印加される電圧は、5Vである。

【0089】ここで、隣接する第1列及び第2列の画素電極53同士でショートが発生した場合には、第1列のTFTは、信号線から第1列の画素電極に対して9Vの電圧を印加し、第2列のTFTは、信号線から第2列の画素電極に対して1Vの電圧を印加する。この二つの画素電極は、ショートしているため、印加された電圧が平

均化される。このため、これらの画素電極には、全体として5Vの電圧が印加されることになる。この結果、二つの画素電極は、対向電極との間に電位差が生じず、ともに輝点（白表示）となる。

【0090】このときに、第2列のTFTを構成するポリシリコン膜Pの露出部分PAに向けて、アレイ基板86の裏側から、エネルギー約2mJ、波長532nmのレーザビームを照射する。ポリシリコン膜Pは、膜厚が約50nmないし70nm程度であり、500nm付近の波長に対する吸収率も高い。このため、照射されたレーザビームの熱エネルギーにより、ポリシリコン膜Pの露出部分PAが消失され、切断される。このとき、消失物質によるイオン性の汚染もほとんど無い。

【0091】通常、レーザリペアに用いられるレーザのスポット径は数μm程度であるので、これに光学合わせのマージンなどを考慮して露出部分PAの長さを数μm～10μm程度とすることにより、他の駆動配線にダメージを与えることなくレーザ切断可能となる。

【0092】したがって、第2列のTFTに駆動信号を供給する信号線と、第2列の画素電極とが電気的に絶縁される。この結果、第2列のTFTに信号線から供給された駆動電圧は、第2列の画素電極に印加されない。すなわち、第1列及び第2列の画素電極は、ともに、第1列のTFTから供給された駆動信号によって駆動されることになる。これにより、少なくとも第1列の画素電極は、正常に動作することになり、表示不良の不良度を低下させることができる。

【0093】上述したように、この発明の第5の実施の形態に係るアクティブマトリクス型液晶表示装置によれば、TFT75を構成するポリシリコン膜Pは、信号線50とのコンタクトから画素電極53とのコンタクトまでの間に、他の金属配線と重複しない領域を有している。このため、隣接する画素電極間でショートが発生した場合であっても、アレイ基板86の裏側からレーザビームを照射してポリシリコン膜Pを切断させることが可能となる。

【0094】これにより、表示不良が発生していた少なくとも一方の画素電極は、正常化し、表示不良の不良度を低下させることが可能となり、製造歩留まりを向上させることができる。

【0095】次に、この発明の第6の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0096】図10は、この発明の第6の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を示す平面図であり、図11は、図10中のE-E'線に沿って切断した断面を概略的に示す断面図であり、図12は、図10中のF-F'線に沿って切断した断面を概略的に示す断面図である。

【0097】この実施の形態の液晶表示装置は、アレイ

基板100と対向基板200との間に、例えば光変調層としてTN（ツイステッド・ネマティック）型液晶層300が配向膜311および313を介して保持しており、また、各基板100及び200の外表面に偏光板321及び323が配置されて構成されている。

【0098】アレイ基板100は、液晶層300のギャップを一定に保つために、アレイ基板100と一体に形成された樹脂性のスペーサ331を有している。対向基板200は、ガラス基板201上に略ストライプ状に形成された遮光膜211と、この上に配置されるITOからなる対向電極221と、を有している。遮光膜211は、アレイ基板100側に設けられる走査線121と補助容量線131との間隙や、TFT141を遮光する。

【0099】この実施の形態のアレイ基板100は、上述した実施の形態に対して、各画素が少なくとも2つの独立した補助容量Cs1、Cs2…を含み、それぞれがリペア可能に構成されることを特徴としている。

【0100】第1の補助容量Cs1は、補助容量線131下にゲート絶縁膜145を介して配置されるポリシリコン薄膜から成る第1の下部電極137aと補助容量線131との間で形成される。

【0101】すなわち、ガラス基板101上に形成されたポリシリコン膜は、TFT141のソース領域及びドレイン領域や、第1及び第2の下部電極137a及び137bなどを形成する。

【0102】TFT141のドレイン領域は、ゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール123を介して信号線111に接続されている。TFT141のソース領域は、ゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール125を介して信号線111と同一工程で作製された接続配線153の第1配線153aと電気的に接続されている。この第1配線153aは、平滑化層161を貫通するコンタクトホール163aを介して画素電極171に電気的に接続されている。

【0103】この第1配線153aと連続する第2配線153bは、走査線121と補助容量線131との間隙を経て再び補助容量線131上に延在し、補助容量線131の開口133内でゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール135aを介してポリシリコン薄膜から成る第1の下部電極137aに電気的に接続されている。

【0104】これにより、TFT141のソース領域と電気的に接続されるポリシリコン薄膜から成る第1の下部電極1373と、補助容量線131との間で、第1の補助容量Cs1が形成される。

【0105】第2の補助容量Cs2は、隣接する他の補助容量線101の下にゲート絶縁膜145を介して配置されるポリシリコン薄膜から成る第2の下部電極137bと補助容量線131との間で形成される。

【0106】すなわち、ポリシリコン薄膜から成る第2の下部電極137bは、隣接する他の補助容量線131の開口133内でゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール135bを介して信号線111と同一工程で形成される第2接続配線155に電氣的に接続される。この第2接続配線155は、アレイ基板100の光透過領域を経由するよう他の補助容量線131から画素電極171内方を経由して再び補助容量線131上に延在し、平滑化層161を貫通するコンタクトホール163bを介して画素電極171と電氣的に接続されている。

【0107】これにより、画素電極171と電氣的に接続されるポリシリコン薄膜から成る第2の下部電極137bと補助容量線131との間で第2の補助容量Cs2が形成される。

【0108】そして、例えば、アレイ基板100を作成した後、補助容量線131に所定の電圧Vcs1、Vcs2（隣接補助容量線間で印加される電圧をそれぞれ異ならしめておく：Vcs1、Vcs2）を印加する。その後、信号線111に電圧Vcs1及びVcs2と異なる所定の電圧Vsを印加し、走査線121に順次走査パルスVgを印加して、各画素電極171に電圧Vsを書込む。しかる後に、走査線121に再び順次走査パルスVgを印加して画素電極171に書込まれた電荷を信号線111から順次読み出す。この際、補助容量線131と下部電極137とが短絡していると、信号線111からは電圧Vcs1又はVcs2が読み出されることにより、補助容量線131と下部電極137との短絡箇所を特定することができる。

【0109】そして、例えば図10中の×Gで短絡が発見されると、例えば図10中のHで示すアレイ基板100の光透過領域において接続配線153の第2配線153bの一部を、アレイ基板100の裏面からレーザを照射して切断する。これにより、画素電極電位が補助容量線131の電位に固定されて不所望な表示状態となることが防止される。なお、この場合、リペアされた画素には、依然として補助容量Cs2が形成されているため、画素電極電位の寄生容量の影響による変動が抑えられ、良好な表示品位が維持される。

【0110】同様に、例えば図10中の×Iで短絡が発見されると、例えば図10中のJで示す領域の接続配線155を、アレイ基板100の裏面からレーザを照射して切断する。これにより、画素電極電位が補助容量線131の電位に固定されて不所望な表示状態となることが防止される。この場合も、リペアされた画素には、依然として補助容量Cs2が形成されているため、画素電極電位の寄生容量の影響による変動が抑えられ、良好な表示品位が維持される。

【0111】また、第1及び第2補助容量Cs1及びCs2の両方が短絡している場合、上記のH及びJのそれ

ぞれで配線153b及び155を切断することにより、リペアすることができる。

【0112】次に、この発明の第7の実施の形態に係るアクティブマトリクス型液晶表示装置に適用されるアレイ基板の構造について説明する。

【0113】図13は、この発明の第7の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を示す平面図であり、図14は、図13中のK-K'線に沿って切断した断面を概略的に示す断面図であり、図15は、図13中のL-L'線に沿って切断した断面を概略的に示す断面図である。なお、上述した第6の実施の形態と同一の構成については、同一の参照番号を付して詳細な説明を省略する。

【0114】この実施の形態のアレイ基板100は、上述した第6の実施の形態と同様に、各画素が2つの独立した補助容量Cs1、Cs2を含み、それぞれがリペア可能に構成されることを特徴としており、その補助容量Cs1、Cs2の形状が第6の実施の形態とは相違している。

【0115】第1の補助容量Cs1は、第6の実施の形態と同様に、補助容量線131の下にゲート絶縁膜145を介して配置されるポリシリコン薄膜から成る第1の下部電極137aと補助容量線131との間で形成される。

【0116】すなわち、TFT141のソース領域は、ゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール125を介して信号線111と同一工程で作製される接続配線153と電氣的に接続され、この接続配線153は、平滑化層161を貫通するコンタクトホール163aを介して画素電極171に電氣的に接続されている。そして、この画素電極171は、補助容量線131の開口133に延在し、開口133内で平滑化層161、ゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール163bを介してポリシリコン薄膜から成る第1の下部電極137aに信号線111と同一工程で形成される接続部157aを経由して電氣的に接続されている。

【0117】これにより、TFT141のソース領域と電氣的に接続されるポリシリコン薄膜から成る第1の下部電極137aと補助容量線131との間で第1の補助容量Cs1は形成される。

【0118】第2の補助容量Cs2は、隣接する他の補助容量線131下にゲート絶縁膜145を介して配置されるポリシリコン薄膜から成る第2の下部電極137bと補助容量線131との間で形成される。

【0119】すなわち、ポリシリコン薄膜から成る第2の下部電極137bは、隣接する他の補助容量線131の開口130内で平滑化層161、ゲート絶縁膜145及び層間絶縁膜147を貫通するコンタクトホール135bを介して信号線111と同一工程で形成される接続

部157bを介して画素電極171に電氣的に接続される。

【0120】これにより、画素電極171と電氣的に接続されるポリシリコン薄膜から成る第2の下部電極137bと補助容量線131との間で第2の補助容量Cs2は形成される。

【0121】換言すれば、この実施の形態では、補助容量線131は、隣接する第1及び第2の下部電極137a、137bに対応する領域と、これら領域を接続する領域とによって構成されている。

【0122】そして、上述した第6の実施の形態と同様に、例えば、アレイ基板100を作成した後、補助容量線131に所定の電圧Vcs1、Vcs2（隣接補助容量線間で印加される電圧をそれぞれ異ならしめておく：Vcs1、Vcs2）を印加する。その後、信号線111に電圧Vcs1及びVcs2と異なる所定の電圧Vsを印加し、走査線121に順次走査パルスVgを印加して、各画素電極171に電圧Vsを書込む。しかる後に、走査線121に再び順次走査パルスVgを印加して、画素電極171に書込まれた電荷を信号線111から順次読み出す。この際、補助容量線131と下部電極137a及び137bとが短絡していると、信号線111からは電圧Vcs1又はVcs2が読み出される。これにより、補助容量線131と下部電極137a及び137bとの短絡箇所を特定することができる。

【0123】そして、例えば図13中の×Mで短絡が発見されると、例えば図13中のN及びOに示す領域の補助容量線131を、アレイ基板100の裏面からレーザを照射して切断する。これにより、画素電極電位が補助容量線131の電位に固定されて不所望な表示状態となることが防止される。なお、この場合、リペアされた画素には、依然として補助容量Cs2が形成されているため、画素電極電位の寄生容量の影響による変動が抑えられ、良好な表示品位が維持される。

【0124】同様に、例えば図13中の×Pで短絡が発見されると、例えば図13中のQ及びRに示す補助容量線131の一部を、アレイ基板100の裏面からレーザを照射して切断する。これにより、画素電極電位が補助容量線131の電位に固定されて不所望な表示状態となることが防止される。この場合も、リペアされた画素には、依然として補助容量Cs2が形成されているため、画素電極電位の寄生容量の影響による変動が抑えられ、良好な表示品位が維持される。

【0125】また、第1及び第2補助容量Cs1、Cs2の両方が短絡している場合、補助容量線131の上記のN、O、Q及びRのそれぞれで切断することによりリペアすることができる。

【0126】上述した実施の形態は、いずれも独立した補助容量線とポリシリコン薄膜から成る下部電極との間で補助容量Csを形成する場合を例にとり説明したが、

走査線111自体を補助容量線として用いるものであっても構わない。なお、上述したすべての実施の形態では、TFTの半導体層としてポリシリコン膜を用いたアクティブマトリクス型液晶表示装置に関して説明したが、この発明は、半導体層として例えばアモルファスシリコン膜等の他の半導体層を用いたアクティブマトリクス型液晶表示装置についても適用できることは言うまでもない。

#### 【0127】

【発明の効果】以上説明したように、この発明によれば、配線BM構造を用いてながらも、表示品位を低下することなく補助容量を形成している電極間の短絡不良を改善できるアクティブマトリクス型液晶表示装置を提供できる。

#### 【図面の簡単な説明】

【図1】図1は、この発明の第1の実施の形態に係るアクティブマトリクス型液晶表示装置の1画素領域を概略的に示す平面図である。

【図2】図2は、図1に示したアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。

【図3】図3は、図2中の一点鎖線A-B-C-Dに沿って切断した断面を概略的に示す断面図である。

【図4】図4は、この発明の第2の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。

【図5】図5は、この発明の第3の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。

【図6】図6は、この発明の第4の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。

【図7】図7は、図6中の一点鎖線A-B-Cに沿って切断した断面を概略的に示す断面図である。

【図8】図8は、この発明の第5の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を拡大した拡大平面図である。

【図9】図9は、図8中の一点鎖線A-B-C-Dに沿って切断した断面を概略的に示す断面図である。

【図10】図10は、この発明の第6の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を示す平面図である。

【図11】図11は、図10中のE-E'線に沿って切断した断面を概略的に示す断面図である。

【図12】図12は、図10中のF-F'線に沿って切断した断面を概略的に示す断面図である。

【図13】図13は、この発明の第7の実施の形態に係るアクティブマトリクス型液晶表示装置の連結配線を含む領域を示す平面図である。

【図14】図14は、図13中のK-K'線に沿って切

断した断面を概略的に示す断面図である。

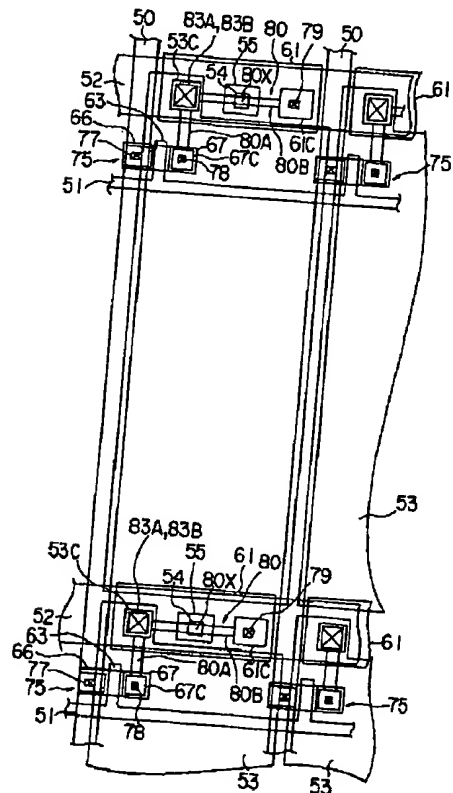
【図15】図15は、図13中のL-L'線に沿って切断した断面を概略的に示す断面図である。

【符号の説明】

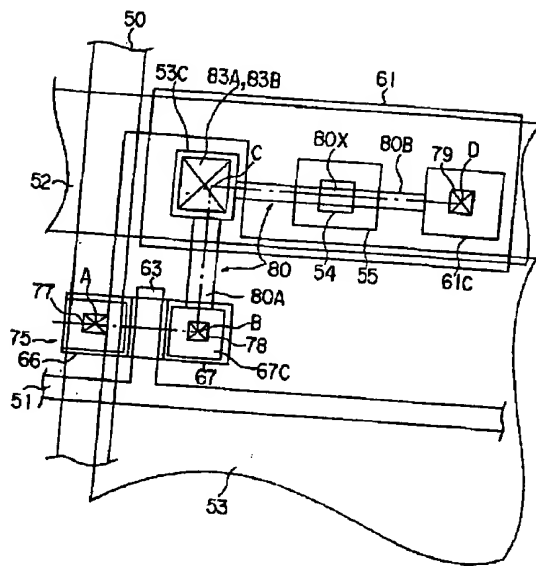
- 50…信号線
- 51…走査線
- 52…補助容量線
- 53…画素電極
- 54…開口部
- 55…柱状スペーサ

- 60…絶縁性基板
- 61…補助容量電極
- 62…ゲート絶縁膜
- 90…絶縁性基板
- 76…層間絶縁膜
- 80…連結配線
- 80A…第1連結部
- 80B…第2連結部
- 86…アレイ基板
- 92…対向基板

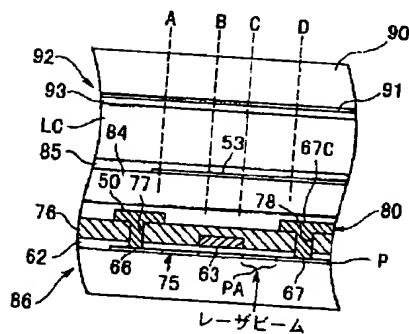
【図1】



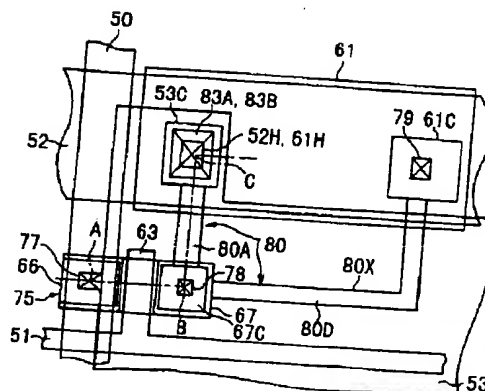
【図2】



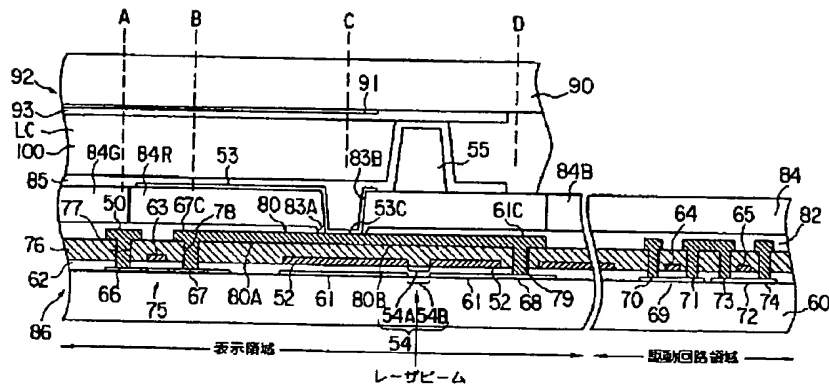
【図9】



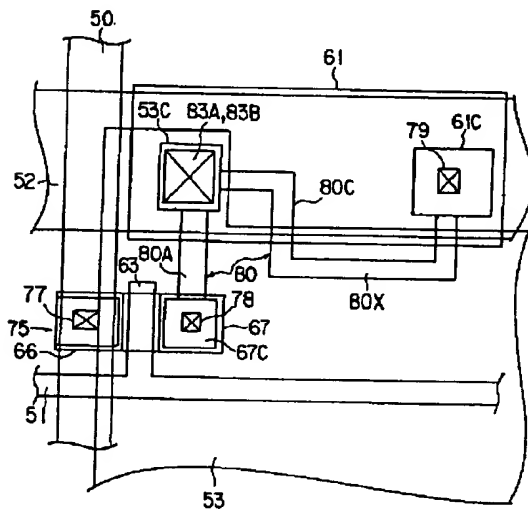
【図6】



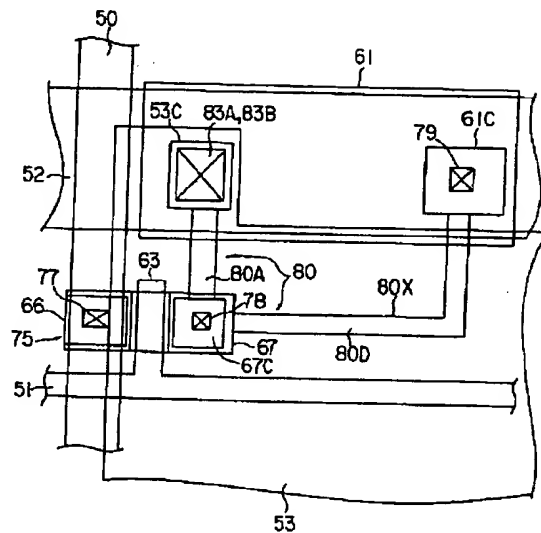
【図 3】



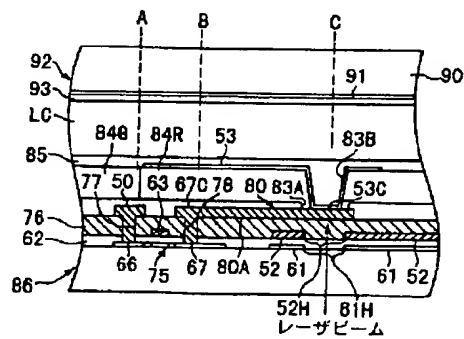
【図 4】



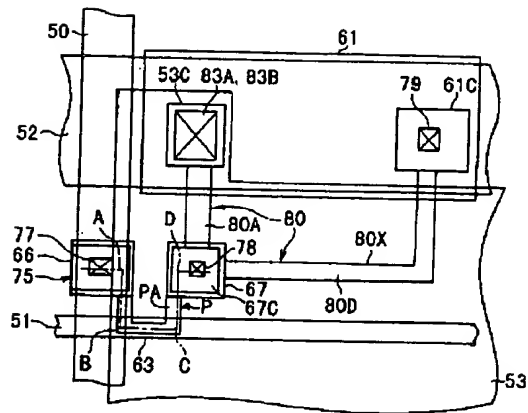
【図 5】



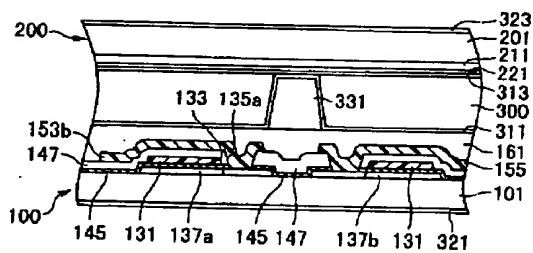
【図 7】



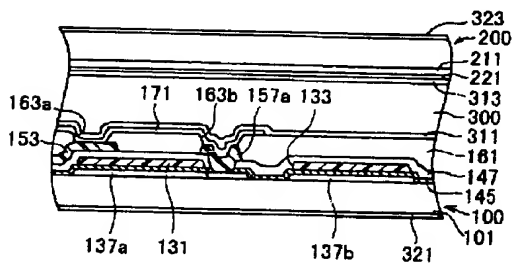
【図8】



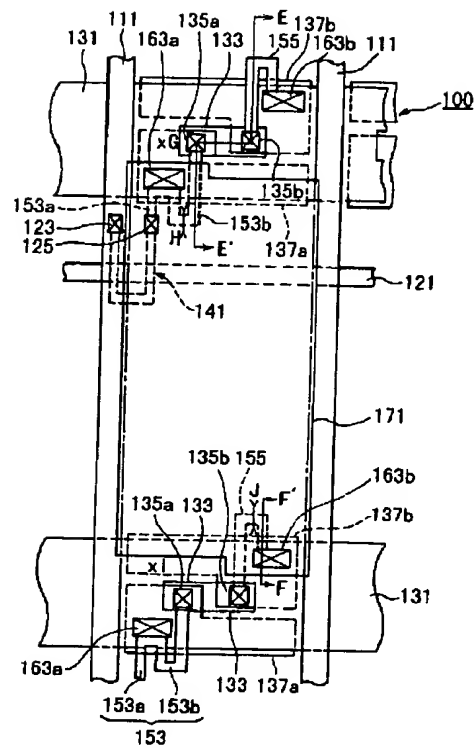
【図11】



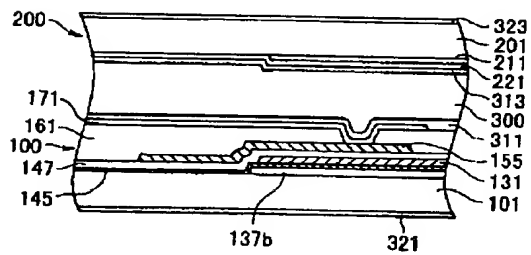
【図14】



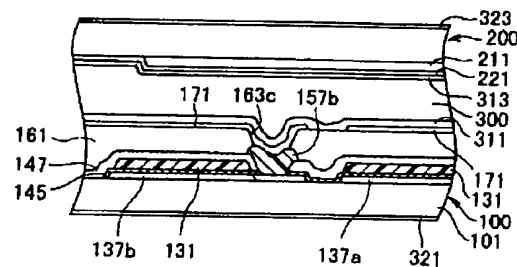
【図10】



【図12】



【図15】



【請求項 7】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電気的に接続されたスイッチング素子

と、前記スイッチング素子に第1連結配線を介して電気的に接続された画素電極と、前記スイッチング素子に第2連結配線を介して電気的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、

を備えたアクティブマトリクス型液晶表示装置において、

前記スイッチング素子は、半導体層を有し、前記半導体層中に形成されたチャネル領域から、前記第1連結配線及び第2連結配線との接続部までの間の半導体層の一部が、他の配線から露出する部分を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項8】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電気的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電気的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電気的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、

液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、

を備えたアクティブマトリクス型液晶表示装置において、

前記補助容量信号線は、隣接する前記補助容量電極のそれぞれと重なって補助容量を形成するとともに、部分的に他の配線から露出する分岐部分を有することを特徴とするアクティブマトリクス型液晶表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項8に記載のアクティブマトリクス型液晶表示装置は、互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電気的に接続されたスイッチング素子と、前記スイッチング素子に第1連結配線を介して電気的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電気的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレイ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、前記補助容量信号線は、隣接する前記補助容量電極のそれぞれと重なって補助容量を形成するとともに、部分的に

他の配線から露出する分岐部分を有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】続いて、アレイ基板86の画素電極53側と、対向基板92の対向電極91側の全面に低温キュア型のポリイミドを印刷塗布し、両基板86、92を対向させた時に、互いの配向軸が90°となるようにラビング処理を施すことにより、配向膜85、93を形成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】続いて、両基板86、92を対向して組み立てて、セル化し、その間隙に注入口からネマティック液晶300を注入し封止する。そして、両基板86、92の絶縁基板60、90上に偏光板を貼り付けることにより、アクティブマトリクス型液晶表示装置が得られる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】このような構造とすることにより、第3コンタクト電極61Cに近い第2連結部80Cと補助容量線52との間、あるいは、補助容量線52と補助容量電極61との間で短絡が生じた場合には、アレイ基板86の裏面側から見て露出している配線部80Xに向けてレーザービームを照射して切断する。このように、連結配線80の配線部80Xを切断することにより、短絡を修復することが可能となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正内容】

【0086】すなわち、TFT75は、走査線51の一部をゲート電極63とし、ポリシリコン膜Pが信号線50にコンタクトする領域に形成されたドレイン電極66と、ポリシリコン膜Pが画素電極53に電気的に接続される連結配線80にコンタクトする領域、すなわち第2コンタクト電極67Cに形成されたソース電極67と、を有している。ポリシリコン膜Pは、図8に示すように、ゲート電極63を迂回するように配置されている。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】これにより、TFT141のソース領域と電氣的に接続されるポリシリコン薄膜から成る第1の下部電極137aと、補助容量線131との間で、第1の補助容量Cs1が形成される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正内容】

【0105】第2の補助容量Cs2は、隣接する他の補助容量線131の下にゲート絶縁膜145を介して配置されるポリシリコン薄膜から成る第2の下部電極137bと補助容量線131との間で形成される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0121

【補正方法】変更

【補正内容】

【0121】換言すれば、この実施の形態では、補助容量線131は、図13に示すように、隣接する第1及び第2の下部電極137a、137bに対応するように分岐した分岐領域と、これら分岐領域を接続する領域とによって構成されている。

【手続補正書】

【提出日】平成12年3月16日(2000.3.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記走査線及び前記信号線及び前記スイッチング素子の少なくとも一部を覆うように配置された絶縁膜層と、前記絶縁膜層に形成されるスルーホール部により前記スイッチング素子の各々に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレキ基板と、  
液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、  
を備えたアクティブマトリクス型液晶表示装置において、

前記第2連結配線は、前記スルーホール部を除く領域において前記画素電極と電氣的に絶縁され、かつ前記補助容量信号線から露出する部分を有することを特徴とするアクティブマトリクス型液晶表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】上記課題を解決し目的を達成するために、請求項1に記載のアクティブマトリクス型液晶表示装置は、互いに交差して配置された複数の走査線及び信号線と、前記走査線と前記信号線との交差部に配置され前記信号線に電氣的に接続されたスイッチング素子と、前記走査線及び前記信号線及び前記スイッチング素子の少なくとも一部を覆うように配置された絶縁膜層と、前記絶縁膜層に形成されるスルーホール部により前記スイッチング素子の各々に第1連結配線を介して電氣的に接続された画素電極と、前記スイッチング素子及び前記画素電極のいずれか一方に第2連結配線を介して電氣的に接続された補助容量電極と、前記補助容量電極に絶縁層を介して対向配置された補助容量信号線と、を有するアレキ基板と、液晶組成物を介して前記画素電極に対向配置された対向電極を有する対向基板と、を備えたアクティブマトリクス型液晶表示装置において、前記第2連結配線は、前記スルーホール部を除く領域において前記画素電極と電氣的に絶縁され、かつ前記補助容量信号線から露出する部分を有することを特徴とする。

## フロントページの続き

- (72) 発明者 中村 貴文  
埼玉県深谷市幡羅町1丁目9番2号 株式  
会社東芝深谷電子工場内
- (72) 発明者 花澤 康行  
埼玉県深谷市幡羅町1丁目9番2号 株式  
会社東芝深谷電子工場内
- (72) 発明者 加賀 明広  
埼玉県深谷市幡羅町1丁目9番2号 株式  
会社東芝深谷電子工場内

Fターム(参考) 2H089 LA09 LA16 LA20 MA04X  
MA05X NA14 NA24 NA38  
NA48 PA02 PA08 QA12 QA13  
TA02 TA04 TA09  
2H092 JA25 JA29 JA38 JA42 JA44  
JA46 JA47 JB13 JB23 JB32  
JB33 JB38 JB51 JB57 JB63  
JB69 JB72 KA04 KA07 KA16  
KA18 KB25 MA08 MA10 MA14  
MA15 MA16 MA18 MA19 MA20  
MA27 MA30 MA47 PA06 QA07